

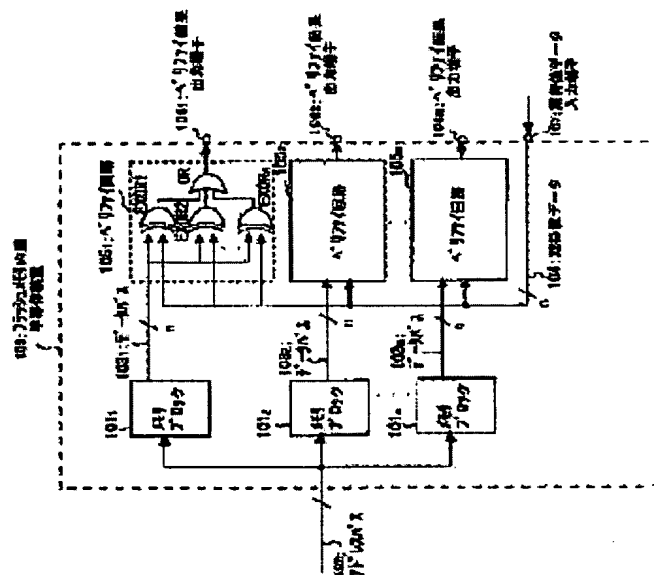
SEMICONDUCTOR DEVICE PROVIDED WITH NON-VOLATILE MEMORY

Patent number: JP2001155500
Publication date: 2001-06-08
Inventor: TERAUCHI YOJI
Applicant: NEC CORP
Classification:
 - international: G11C29/00; G01R31/28;
 G11C16/02; H01L27/04;
 H01L21/822
 - european:
Application number: JP19990336406 19991126
Priority number(s):

Abstract of JP2001155500

PROBLEM TO BE SOLVED: To provide a semiconductor device in which verify-test time or the like are shortened and increment of the number of exclusive terminals for test is suppressed, in a semiconductor device provided with a non-volatile semiconductor memory.

SOLUTION: This device is provided with plural non-volatile memory blocks in which data can be electrically erased and written, and plural verify-circuits provided corresponding to each memory block of the plural memory blocks and deciding whether read-out data from the memory block coincides with expected value data inputted from an external terminal or not, decided results outputted from



plural verify-circuits are outputted from the external terminal, the verify-circuit is provided with plural coincidence deciding circuit comparing data outputted from the memory blocks for deciding whether they are coincident with bit corresponding to expected data or not, and an OR circuit outputting a fail signal when output of plural coincidence deciding circuits are inputted and any one of them is non-coincidence.

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-155500

(P2001-155500A)

(43) 公開日 平成13年6月8日 (2001.6.8)

(51) Int.Cl. ⁷	識別記号	F I	ターマート* (参考)
G 1 1 C 29/00	6 7 3	G 1 1 C 29/00	6 7 3 Q 2 G 0 3 2
G 0 1 R 31/28		G 0 1 R 31/28	B 5 B 0 2 5
G 1 1 C 18/02		G 1 1 C 17/00	6 1 1 A 5 F 0 3 8
H 0 1 L 27/04			6 1 2 A 5 L 1 0 6
21/822		H 0 1 L 27/04	T 9 A 0 0 1
		審査請求 有	請求項の数 11 O L (全 16 頁)

(21) 出願番号 特願平11-336406

(22) 出願日 平成11年11月26日 (1999. 11. 26)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 寺内 洋二

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

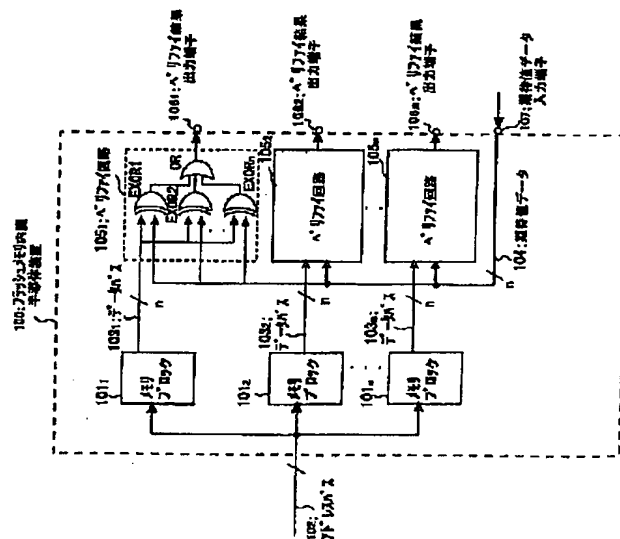
最終頁に続く

(54) 【発明の名称】 不揮発性メモリを備えた半導体装置

(57) 【要約】

【課題】 不揮発性半導体記憶装置を備えた半導体装置において、ベリファイ試験等の短縮を図るとともにテスト専用端子数の増大を抑止する半導体装置の提供。

【解決手段】 電気的に消去及び書き込み可能な不揮発性のメモリブロックを複数備え、複数のメモリブロックの各メモリブロックに対応して設けられ、前記メモリブロックからの読み出しデータと、外部端子より入力された期待値データとが一致するか否かを判定する複数のベリファイ回路を備え、複数のベリファイ回路から出力される判定結果を外部端子から出力し、ベリファイ回路は、メモリブロックから出力されるデータをビット毎に、期待値データの対応するビットと一致するか比較する複数の一致判定回路と、複数の一致判定回路の出力を入力し、いずれか一つでも不一致である場合、フェイル信号を出力する論理和回路と、を備える。



【特許請求の範囲】

【請求項 1】電気的に消去及び書き込み可能な不揮発性のメモリブロックと、

前記メモリブロックから出力される複数ビット幅のデータと、期待値データとが互いに一致するか否かを判定する比較判定回路と、

を備え、前記比較判定回路から出力される比較判定結果を出力端子から出力する構成とされてなる、ことを特徴とする半導体装置。

【請求項 2】外部から供給される前記期待値データを入力する入力端子を備えたことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】前記期待値データを予め記憶保持し、前記比較判定回路に対して、前記期待値データを出力する記憶部を備えたことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】電気的に消去及び書き込み可能な不揮発性のメモリブロックを複数備え、
前記複数のメモリブロックのそれぞれに対応して設けられ、前記メモリブロックからの読み出しデータと、入力端子より入力された期待値データとが互いに一致するか否かを判定する複数の比較判定回路を備え、
前記複数の比較判定回路からそれぞれ出力される比較判定結果を出力端子から出力する構成とされてなる、ことを特徴とする半導体装置。

【請求項 5】電気的に消去及び書き込み可能な不揮発性のメモリブロックを複数備え、
消去ベリファイ、及び書き込みベリファイ試験にそれぞれ対応した期待値データを記憶する記憶部と、
前記複数のメモリブロックのそれぞれに対応して設けられ、前記メモリブロックからの読み出しデータと、期待値データとが互いに一致するか否かを判定する複数の比較判定回路と、
前記記憶部に記憶された期待値データのうちから、実行するベリファイ試験の種別に応じ、該ベリファイ試験に対応した期待値データを選択して、前記比較判定回路に供給するセレクトと、を備え、
前記複数の比較判定回路からそれぞれ出力される比較判定結果を出力端子から出力する構成とされてなる、ことを特徴とする半導体装置。

【請求項 6】前記各比較判定回路から出力される比較判定結果が、バス又はフェイルを示す 1 ビットデータよりなる、ことを特徴とする請求項 4 又は 5 に記載の半導体装置。

【請求項 7】前記複数の比較判定回路からそれぞれ出力される比較判定結果を、前記複数の出力端子から並列出力する構成とされてなる、ことを特徴とする請求項 4 乃至 6 のいずれか一に記載の半導体装置。

【請求項 8】前記比較判定回路が、前記メモリブロックから出力される複数ビット幅の読み出しデータを、ビッ

ト毎に、前記期待値データの対応するビットと一致するか比較する複数の一致判定回路と、

前記複数の一致判定回路の出力を入力し、前記複数の一致判定回路の出力が全て一致を示している場合に一致の判定結果を、前記複数の一致判定回路の出力のうちいずれか一つでも不一致である場合には不一致の判定結果を、前記比較判定結果として出力する論理回路と、
を備えたことを特徴とする請求項 4 乃至 7 のいずれか一に記載の半導体装置。

【請求項 9】消去ベリファイ又は書き込みベリファイの試験時に、前記複数のメモリブロックに対して読み出しアドレスが共通に供給され、前記複数のメモリブロックで並列にベリファイ試験が行われる、ことを特徴とする請求項 4 乃至 8 のいずれか一に記載の半導体装置。

【請求項 10】CPU を備え、
前記 CPU から出力されるアドレス信号と、テスト用のアドレス入力端子から入力されるアドレス信号を入力しテスト時に活性化されるテストモード信号を選択信号として、通常動作時には、前記 CPU からのアドレス信号を選択し、テスト時には、前記アドレス入力端子から入力されるアドレス信号を出力する第 1 のセレクトと、
前記複数のメモリブロックのうち、通常動作時には、前記 CPU でアクセスされたメモリブロックの出力データを選択して前記 CPU に供給する第 2 のセレクトと、を備えたことを特徴とする請求項 4 乃至 8 のいずれか一に記載の半導体装置。

【請求項 11】前記 CPU からデータ信号と、テスト用のデータ入力端子から入力されるデータ信号を入力しテスト時に活性化されるテストモード信号を選択信号として、通常動作時には、前記 CPU からのデータ信号を選択し、テスト時には、前記データ入力端子から入力されるアドレス信号を出力する第 3 のセレクトを備えたことを特徴とする請求項 10 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置を備えた半導体装置に関し、特に、不揮発性半導体記憶装置のベリファイを行う装置に関する。

【0002】

【従来の技術】電気的に消去及び書き込み可能な不揮発性の半導体記憶装置 (Electrically Erasable and Programmable Read Only Memory; EEPROM) のメモリセルの概略について以下に説明する。よく知られているように、不揮発性メモリセルは、半導体基板上に、ゲート絶縁膜、浮遊 (フローティング) ゲート、制御 (コントロール) ゲート電極を備えており、浮遊ゲートに電荷が蓄積されていない状態で制御ゲート電極に正電圧が印可されると、メモリセルトランジスタがオン状態となり、一方、浮遊ゲートに電荷が蓄積されている場合に、制御ゲート電極に正電圧が印可されても、電子の負

3.

電荷により、ソース・ドレイン間には、直ちにチャネルは誘起されず、このためメモリセルは直ちにオン状態とはならず、制御ゲート電極に印可する電圧をさらに上げ、しきい値電圧よりも高くすることで、メモリセルがオン状態となる。

【0003】図6は、一括消去型のEEPROM（「フラッシュ型EEPROM」ともいう）の構成の典型例を模式的に示す図である。図6を参照すると、浮遊ゲートを備えたメモリセルMCが複数個マトリクス状に配列してメモリセル・アレイを構成しており、このメモリセル・アレイにおいて、同一行のメモリセルの制御ゲートを共通に接続して複数のワード線508を形成し、同一列のメモリセルのドレインを共通に接続して複数のビット線509を形成し、メモリセルのソースを共通に接続してソース線510を形成している。なお、メモリセルアレイを複数のセクタに分割して構成し、同一セクタ内の複数のメモリセルのソースを共通ソース線に接続する構成とし、セクタ単位に一括消去する構成も多用されている。

【0004】ワード線508はXデコード511に接続されており、ビット線509はYデコード512に接続されている。

【0005】各メモリセルのソースに接続されるソース線（「共通ソース線」ともいう）510は共通に接続されて切換え回路513に接続され、メモリセルの読み出し、書き込み時には、接地電位に接続され、メモリセルの消去時には、消去電圧発生回路514に切換え接続される。

【0006】また、メモリセルの読み出し制御を行なうための読み出し制御回路515と、メモリセルの書き込み制御を行うための書き込み制御回路516とを備えており、読み出し制御回路515、書き込み制御回路516、及び消去制御回路517の制御出力信号は、Xデコード511、Yデコード512に接続されている。

【0007】図7（a）、図7（b）は、フラッシュ型EEPROMの消去ベリファイ、及び書き込みベリファイの手順の一例を示す流れ図である。図6及び図7を参照して、従来のフラッシュ型EEPROMの動作について説明する。

【0008】メモリセルの書き込み時には、共通ソース線510は切換え回路513を介して接地電位に接続され、メモリセルのソース電位が接地電位とされ、書き込み制御回路516を作動させてYデコード511で選択されたビット線を高電圧として、該ビット線に接続するメモリセルのドレインに高電圧を印可し、またXデコード512で選択されたワード線を高電位としてメモリセルの制御ゲートを高電圧（例えば12V）とし、選択されたメモリセルにおいて、ドレイン近傍で発生したホットエレクトロンが浮遊ゲートに注入される。

【0009】この後、図7（b）に、その手順を示した

4.

ように、書き込み状態をオフとして、書き込みベリファイ動作が行われる。すなわちデバイスの書き込みアドレスから書き込みデータを読み出し（ステップS205）、データが書き込まれている場合、書き込み動作は終了し（ステップS206）、書き込みベリファイ結果が失敗の場合には、ステップS201に戻り、再度、書き込みを行う。

【0010】データの読み出し時には、書き込み時と同様、共通ソース線510は接地電位に接続され、読み出し制御回路515を作動させてYデコード512、Xデコード511によりビット線、ワード線をそれぞれ所定の電圧に設定し、メモリセルのゲート、ドレインに所定電圧を設定し、選択されたメモリセルを読み出す。その際、選択されたメモリセルに接続されるビット線に流れる電流の大小を、不図示のセンスアンプで検出することにより、メモリセルに記憶されたデータの“1”、“0”を判定する。

【0011】また、メモリセルの消去時には、共通ソース線510は切換え回路513を介して消去電圧発生回路514に接続され、消去制御回路517を作動させて共通ソース線510を高電位（例えば12V）に設定し、メモリセルのソースを高電位とし、全ワード線を接地電位に設定し、全ビット線を開放状態として、メモリセルのドレインをオープンとし、全メモリセル（又はセクタ単位）の一括消去を行う（ステップS102）。その際、メモリセルの浮遊ゲートとソース間に強電界が発生し、トンネル現象を利用して、浮遊ゲート内の電子がソース側に引き抜かれる。

【0012】なお、従来のフラッシュ型EEPROMでは、消去前に、一括消去される全ビットの書き込みを予め行っており（図7（a）のステップS101）、全てのメモリセルのしきい値をほぼ同一に揃えた後に、メモリセルのオーバーイレーズ（過消去）が生じないように、消去時間を所定時間に細かく分割し、該所定時間単位に少しづつ消去を行いその都度、全てのメモリセルのしきい値をチェックする消去ベリファイ動作が行われ、適正なしきい値に到達すると、消去動作を止めるようにしている。すなわち、消去状態チェックモードにおいて、デバイスからデータを読み出し（ステップS105）、消去されているか確認し（ステップS106）、消去されていない場合には、再び、所定時間消去動作を行い（ステップS102）、一方、消去されている場合には、消去状態のチェックを行ったアドレスが最終番地であるか否かチェックし、最終番地でない場合、次のアドレスに進んで（ステップS108）、消去のチェックを行い、一方、最終番地である場合には、消去ベリファイ処理が完了する。

【0013】消去時間がある値以上になると、初期状態では例えばしきい値電圧5V程度に書き込まれていたメモリセルのしきい値電圧が負の値となり、このメモリセル

は、そのゲート電位が接地電位である場合でもオンするデプレッション状態となり、オーバーイレーズが生じると、正しいデータが読み出せなくなる。例えば図6に示すメモリセル・アレイにおいて、メモリセルHがオーバーイレーズされた状態で、例えばメモリセルIにデータを書き込み、さらにこのデータを読み出す場合、選択されたメモリセルIではドレイン・ソース間に電流は流れないが、非選択のメモリセルHでドレイン・ソース間に電流が流れ、このためビット線B1に電流が流れ、センスアンプでは、オフ・ビットであるメモリセルIをオン・ビットとして検出してしまうことになる。したがって、かかるオーバーイレーズの発生を回避するために、上記したように、所定時間単位での一括消去、及びこれに続くアドレス毎の消去ベリファイを繰り返す手順が行われており、消去ベリファイは、読み出し動作及び書き込みベリファイと比べて、遙かに長い時間を要している。

【0014】すなわち、従来のフラッシュ型EEPROMにおいては、読み出し動作、ベリファイを含む書き込み動作、ベリファイを含む消去動作の順に、動作時間が長くなり、例えば読み出し動作には100ns（ナノ秒）のオーダの時間、ベリファイを含む書き込み動作には数十μs（マイクロ秒）のオーダの時間、ベリファイを含む消去動作には数百ms（ミリ秒）のオーダの時間をそれぞれ要しており、このため、メモリ容量の増大とともに、ベリファイ動作を伴うテスト時間は、長大化している。

【0015】そして、フラッシュ型EEPROM等の不揮発性メモリを同一基板上に備えたマイクロプロセッサ等の半導体装置においては、必要とされるメモリ容量の増大、及び、ユーザ側での各種応用形態に対応するため、不揮発性メモリを、複数のメモリブロック（メモリマクロ）に分割した形態でユーザに提供されている。マイクロコンピュータに内蔵される不揮発性メモリには、通常、CPUで実行されるプログラム及びデータ等が格納され、製造側では、例えば、8ビット×128K（＝1メガビット）のメモリブロックを予め4個用意しておく（最大4Mビット）、ユーザ側のアプリケーションに応じて、使用するメモリブロックのコンフィギュレーションを可変可能とした構成が用いられている。これは、メモリ容量の増大とともに、1つのメモリセルアレイにて、必要とされる大容量のメモリを構成した場合、例えば一つのビット線にドレインが接続されるセルトランジスタの個数の増大に伴い、負荷も増大し、さらに配線抵抗、配線容量の増大に伴い、ビット線の一側の端部から他側端部に位置するセルトランジスタに対して均一に信号伝送することが困難となるためである。すなわち複数のメモリブロックに予め分割しておく、必要な容量に対応したメモリブロックを用いることで、高速アクセスを実現しながら、メモリ容量を確保している。

【0016】

【発明が解決しようとする課題】ところで、不揮発性のメモリブロックを複数備えた半導体装置において、各メモリブロックの出力データをそのままテスト用の端子から並列に外部に出力する構成とした場合、メモリブロックの数に比例して、半導体装置に設けるテスト専用の出力端子数が増大することになり、非効率且つ不経済である。特に、不揮発性のメモリブロックが4ビット、8ビット等の多ビット構成の場合、テスト専用の出力端子数が増大し、各メモリブロックの出力データをそのままテスト用の端子から並列に外部に出力する構成は、端子数の制約、コストの点から実際には用いられない。

【0017】そこで、多ビット構成の不揮発性メモリブロックを複数備えた半導体装置においては、従来より、例えば図8に示すような構成が用いられている。

【0018】図8は、フラッシュ型のEEPROMの複数のメモリブロックを同一基板上に備えた従来のマイクロプロセッサの構成の一例を示す図である。図8を参照すると、このマイクロプロセッサ200において、メモリブロック201₁～201₃は、同一ビット幅（nビット幅）の多ビット構成のフラッシュ型EEPROMよりなり、メモリブロック201₁～201₃からの出力データを転送するデータバス203₁～203₃を入力とするセクタ204を備え、データ出力端子205には、セクタ204で選択されたメモリブロックの出力データ（nビット）が出力される。

【0019】書き込みベリファイ又は消去ベリファイ試験を実行する際に、不図示の自動テスト装置から供給されるアドレス信号がアドレスバス202からメモリブロック201₁～201₃に対して読み出しアドレスとして供給され、データ出力端子205には、セクタ204で選択されたメモリブロックの出力データが出力され、出力データが不図示の自動テスト装置のピンエレクトロースカードのコンパレータに供給される。セクタ204の選択を制御する選択信号は、不図示の自動テスト装置から供給される。一方、通常動作時には、不図示のCPUからの読み出しアドレスによりメモリブロック201₁～201₃から読み出されたデータはCPUに読み出しデータとして供給される。データ出力端子205はテスト専用外部端子とされており、このデータ出力端子205はメモリブロックの出力データのビット幅分用意される。

【0020】なお、複数のメモリブロックの出力をセクタで選択する構成として、例えば特開平8-96596号公報には、8つのメモリセルブロックを例えば半分ずつ試験する場合、セクタで前半のメモリセルブロックM1～M4のI/Oゲートと、4つの外部端子DQ3～DQ6の各々の入力バッファと出力バッファをそれぞれ接続し、同様に、セクタで後半のメモリセルブロックM5～M8のI/Oゲートと、4つの外部端子DQ3～DQ6の各々の入力バッファと出力バッファをそ

れぞれ接続するようにした構成が開示されている。

【0021】しかしながら、図8を参照して説明した従来の半導体装置のように、複数の不揮発性メモリブロックからの出力データをセクタで選択して出力端子から出力することで、テスト専用外部端子の端子数を制限するようにした構成は、結果的に、不揮発性メモリブロックを含む半導体装置の試験時間を著しく増大させる、という問題点を有してしている。

【0022】因みに、フラッシュ型EEPROMのテストで通常行われているテストシーケンスの一例についてみると、例えば図9に示すように、まずテスト1で消去と消去ペリファイが行われる（ステップS301、S302）。その際、消去ペリファイが不可（フェイル）の場合、前述したように、再び、消去が行われる。

【0023】消去ペリファイがパスすると、テスト2でチェッカーパターンの書き込みと書き込みペリファイが行われる（ステップS303、S304）。

【0024】書き込みペリファイがパスすると、次のテスト3で消去と消去ペリファイが行われる（ステップS305、S306）。

【0025】つづいて、テスト4でチェッカーパターン（ウェハベーク）の書き込みと書き込みペリファイが行われ（ステップS307、S308）、書き込みペリファイがパスすると、再びテスト5で消去と消去ペリファイが行われる（ステップS309、S310）。

【0026】つづいて、テスト6で全“0”データ書き込み（All 0 WRITE）と書き込みペリファイが行われる（ステップS311、S312）。

【0027】つづいて、テスト7でバーンイン（ウェハベーク）を行った後、再び書き込みペリファイが行われ（ステップS313、S314）、再びテスト8で消去と消去ペリファイが行われる（ステップS315、S316）。

【0028】図8に示した半導体装置を被試験デバイスとして、上記したテストシーケンスからなるテストを実行する場合、メモリブロック201₁～201₃のうちセクタ204で選択された出力データがデータ出力端子205から出力される構成とされているため、メモリブロック201₁～201₃の間で並列にペリファイ動作を行うことはできない。すなわち端子数の制約から、セクタ204でメモリブロックの出力データを選択して外部端子に出力する構成とされており、ペリファイ動作に必要なデータの読み出しにあたり、複数のメモリブロックの読み出しデータを同時に外部に出力することができない。

【0029】このため、従来の半導体装置のテスト工程において、ペリファイ試験を行うにあたり、セクタ204で、メモリブロック201₁～201₃の出力データを、順次、切り替えて、データ出力端子205に出力し、自動テスト装置のコンパレータで期待値と比較して

パス、フェイルを判定しており、半導体装置内に内蔵されるメモリブロックのメモリ容量の増大、及び、メモリセルブロックの個数の増大に伴い、ペリファイ試験時間が増大する、ことになる。一方、複数のメモリセルブロックからの各出力をテスト専用端子から並列に出力することで、ペリファイ試験を並列実行するようにした従来の構成においては、必要とされるテスト専用端子数が増大する、という問題点を有してしている。

【0030】したがって、本発明は、上記問題点に鑑みてなされたものであって、その主たる目的は、不揮発性半導体記憶装置を備えた半導体装置において、ペリファイ試験等の試験時間の短縮を図るとともに、テスト専用端子の数の増大を抑止する半導体装置を提供することにある。これ以外の本発明の目的、特徴、利点等は以下の説明から、当業者には直ちに明らかとされるであろう。

【0031】

【課題を解決するための手段】前記目的を達成する本発明の半導体装置は、電氣的に消去及び書き込み可能な不揮発性のメモリブロックと、前記メモリブロックから出力される複数ビット幅のデータと、期待値データとが一致するか否かを判定する比較判定回路と、を備え、前記比較判定回路から出力される比較判定結果を出力端子から出力する構成とされている。

【0032】また、本発明は、電氣的に消去及び書き込み可能な不揮発性のメモリブロックを複数備え、前記複数のメモリブロックのそれぞれに対応して設けられ、前記メモリブロックからの読み出しデータと、期待値データとが互いに一致するか否かを判定する複数の比較判定回路を備え、前記複数の比較判定回路から出力される比較判定結果を出力端子から出力する構成とされている。

【0033】本発明において、期待値データを入力する入力端子を備える構成とするか、あるいは、期待値データを記憶し前記比較判定回路に対して前記期待値データを出力する記憶部を備えた構成としてもよい。

【0034】

【発明の実施の形態】本発明の実施の形態について説明する。本発明の半導体装置は、その好ましい一実施の形態において、電氣的に消去及び書き込み可能な不揮発性のメモリブロックを複数備え、前記複数のメモリブロックの出力に対してそれぞれ設けられ、前記メモリブロックからの読み出しデータと、入力端子より入力された期待値データとが一致するか否かを判定する複数の比較判定回路（「ペリファイ回路」ともいう）を備え、複数の比較判定回路からそれぞれ出力される比較判定結果（「ペリファイ結果判定信号」ともいう）を、複数の出力端子（「ペリファイ結果出力端子」ともいう）から並列に出力する。

【0035】本発明の半導体装置は、別の好ましい一実施の形態において、電氣的に消去及び書き込み可能な不揮発性のメモリブロックを複数備え、消去ペリファイ、

及び書き込みベリファイ試験にそれぞれ対応した期待値データを記憶する記憶部と、複数のメモリブロックの各メモリブロックに対応して設けられ、メモリブロックからの読み出しデータと、期待値データとが一致するか否か判定する複数の比較判定回路と、前記記憶部に記憶された記憶データのうちから、実行されるベリファイ試験の種別に応じ、各ベリファイ試験に対応した期待値データを選択して前記比較判定回路に供給するセレクトと、を備え、複数の比較判定回路からそれぞれ出力される比較判定結果を出力端子から出力する構成とされている。

【0036】本発明の半導体装置は、その好ましい一実施の形態において、各メモリブロックは、予め定められている複数のビット幅のデータを並列に出力する多ビット構成とされており、比較判定回路は、メモリブロックから並列出力される複数のビット幅のデータをビット毎に、期待値データの対応するビットと一致するか比較する複数の一致判定回路と、複数の一致判定回路の出力を入力し、前記複数の一致判定回路の出力が全て一致を示している場合に一致の判定結果を、一方、前記複数の一致判定回路の出力がのうちいずれか一つでも不一致である場合には不一致の判定結果を、前記比較判定結果として出力する論理回路と、を備える。

【0037】かかる構成の本発明の一実施の形態の半導体装置においては、消去ベリファイ又は書き込みのベリファイの試験の時に、前記メモリブロックにアドレスが共通に供給され、複数のメモリブロックで同時にベリファイが行われる。

【0038】さらに、本発明の半導体装置は、同一基板上に不揮発性メモリを備えたマイクロコンピュータに用いて好適とされており、マイクロコンピュータは、CPUを備え、前記CPUから出力されるアドレス信号と、テスト用のアドレス入力端子から入力されるアドレス信号を入力しテスト時に活性化されるテストモード信号を選択信号として、通常動作時には、前記CPUからのアドレス信号を選択し、テスト時には、前記アドレス入力端子から入力されるアドレス信号を出力する第1のセレクトを備え、通常動作時に、複数のメモリブロックのうち、CPUでアクセスされたメモリブロックの出力データを選択してCPUに供給する第2のセレクトを備え、各メモリブロックには、メモリブロックから並列出力される複数のビット幅のデータをビット毎に、期待値データの対応するビットと一致するか比較する複数の一致判定回路と、複数の一致判定回路の出力を入力し、いずれか一つでも不一致である場合にこれを検出して出力する論理回路と、を有する比較判定回路を備えている。

【0039】上記のごとく構成されてなる本発明によれば、複数の不揮発性のメモリブロックを搭載する半導体装置において、テスト時における、不揮発性のメモリブロックのベリファイ試験の時間を短縮し、テスト時間を特段に短縮するとともに、必要とされるテスト専用端子

数を削減し、テストコスト及び製品コストの低減を図るものである。

【0040】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。

【0041】図1は、本発明の一実施例をなす半導体装置の構成の要部を示す図である。図1を参照すると、本発明の一実施例において、半導体装置100は、フラッシュ型のEEPROMの複数(m個)のメモリブロック(「メモリマクロ」ともいう)101₁~101_mを備え、各メモリブロック101₁~101_mからの出力は出力データバス103₁~103_mにそれぞれ出力され、ベリファイ回路105₁~105_mに入力される。各メモリブロック101₁~101_mからは複数(n)ビット幅のデータが読み出しデータとして出力され、出力データバス103₁~103_mはnビット幅とされている。

【0042】ベリファイ回路105₁~105_mは、それぞれ、nビット幅の出力データバス103₁~103_mの各ビットデータと、期待値データ入力端子107から入力されるnビット幅の期待値データ104の各ビットデータとがそれぞれ一致するか比較判定するためのn個の排他的論理和ゲートEXOR₁~EXOR_nと、n個の排他的論理和ゲートEXOR₁~EXOR_nの出力の論理和をとりベリファイ結果判定信号をベリファイ結果出力端子106₁~106_mに出力する論理和ゲートORと、を備えている。本発明の一実施例においては、ベリファイ結果出力端子106₁~106_mは、メモリブロック101₁~101_mの個数分設けられており、各ベリファイ回路105₁~105_mからのベリファイ結果判定信号は、並列に、不図示の自動テスト装置に出力される。

【0043】本発明の一実施例において、半導体装置100のテスト時、書き込みベリファイ及び消去ベリファイ試験は、m個のメモリブロック101₁~101_mで並列に行われる。すなわち、m個のメモリブロック101₁~101_mに対して、自動テスト装置側から同一の読み出しアドレスが供給され、ベリファイ回路105₁~105_mの各々で、メモリブロック101₁~101_mからそれぞれ出力された読み出しデータを、不図示の自動テスト装置から期待値データ入力端子107に供給された期待値データとビット単位で比較することで、半導体装置100自体でベリファイを行い、期待値データと一致しないビットデータが存在する場合には、すなわち、いずれか一の排他的論理和ゲートEXORの出力に“1”がたったとき、論理和ゲートORから出力されるベリファイ結果判定信号は“1”となる。ベリファイ結果出力端子106₁~106_mには、不図示の自動テスト装置のコンパレータが接続されており、自動テスト装置では、各ベリファイ回路105₁~105_mからのベリファイ結果判定信号が“0”の時はパス、“1”の時はフェイル

と判定する。

【0044】ところで、各メモリブロックが8ビットデータ出力（データバスのビット幅 $n=8$ ）であり、メモリブロックが4個存在する場合（ $m=4$ ）において、ベリファイ試験の高速化を図るために、4個のメモリブロックのデータをパラレルに出力する回路構成とした場合、 $m \times n = 32$ 個のテスト専用の出力端子が必要とされ、また自動テスト装置のコンパレータも32個必要とされることになる。

【0045】これに対して、本発明の一実施例によれば、必要とされる半導体装置のテスト専用の出力端子としては、メモリブロックの個数分（ m ）の4個のベリファイ結果出力端子106₁～106₄を設けるだけでよく、テスト専用の出力端子数を特段に縮減しており、自動テスト装置でベリファイ試験に必要とされるコンパレータも4個で済むことになる。

【0046】この場合、本発明の一実施例において、テスト専用の入力端子としては、期待値データ入力端子107として n ビット（ $=8$ ビット）分、また後述するように、テストモード等の選択信号を入力するための端子が必要とされ、このため、テスト専用端子の総計は、高々、 $m+n+1$ （但し、 m は、ベリファイ結果出力端子数、 n はメモリブロックの出力データのビット幅であり期待値データ入力端子数、1はテスト専用制御信号端子数）であり、例えばメモリブロック数 m が2、3、4等で、 n が4、8…等の場合、 $m \times n > m+n$ であることから、 m 個のメモリブロックのデータ（ n ビット）をパラレルに出力する回路構成とした $m \times n$ よりも、テスト専用端子数を少なくすることができる。しかも、本発明の一実施例においては、各メモリブロックで並列にベリファイ試験を行うことが可能とされており、試験の高速化と、端子数の増大の抑止という二つの課題を同時に解決している。

【0047】なお、ベリファイ回路105の論理和ゲートの出力（ベリファイ結果判定信号）が“1”となった場合、すなわち、ベリファイ試験がフェイルした場合、自動テスト装置側から供給される読み出しアドレスから、どのアドレスでフェイルしたか判定するようにしてもよいことは勿論であり、ファイルバッファを備えた自動テスト装置であれば、フェイル情報（アドレス情報）等を格納するようにしてもよい。またテスト時に、あるメモリブロックのメモリセルの書き込みベリファイがフェイル（NG）した場合、メモリセルの再書き込みを直ちに行うか、あるいは、該テストについて不良としてテストプログラム側で記録しておき、後で、別途、不良のメモリブロックの書き込み及びベリファイを行うは、実行されるテストが特性解析試験（キャラクタライゼーション試験）であるか量産試験であるか等、テスト仕様に依存する。

【0048】図2は、本発明を、フラッシュ型EEPROM

OMを内蔵したマイクロコンピュータに適用した一実施例の構成を示す図である。

【0049】図2を参照すると、このマイクロコンピュータ100Aは、CPU120と、CPU120からアドレスバス108に出力されるアドレス信号と、テスト時に、不図示の自動テスト装置からアドレス入力端子114に供給されるアドレス信号とを入力し、テストモード信号を選択信号として入力し、通常動作時には、CPU120からアドレスバス108に出力されるアドレス信号を選択出力し、テスト時には、アドレス入力端子114に供給されるアドレス信号を選択出力する第1のセレクト110と、CPU120からデータバス109に出力されるデータ信号と、テスト時に自動テスト装置から、テスト用のデータ入力端子115に供給されるデータ信号とを入力し、テストモード信号を選択信号として、通常動作時には、CPU120からデータバス109に出力されるデータ信号を選択出力し、テスト時には、データ端子115に供給されるデータ信号を選択出力する第3のセレクト113と、第1のセレクト110、及び第3のセレクト113からそれぞれ出力されるアドレス信号、データ信号をアドレス端子、データ端子に入力する複数のメモリブロック101₁～101₃と、複数のメモリブロック101₁～101₃からの n ビット幅の出力データバス103₁～103₃を入力とし、通常動作時に、CPU120でアクセスされたメモリブロックに応じて、出力データを選択出力してCPU120に供給する第2のセレクト112と、を備えている。

【0050】各メモリブロック101₁～101₃の出力には、それぞれベリファイ回路105₁～105₃が接続されている。ベリファイ回路105₁～105₃は、出力データバス103₁～103₃との各ビットデータと期待値データ入力端子107から入力される期待値データ104の各ビットデータとの一致判定を行う排他的論理和ゲートEXORを、出力データバスのビット幅分備え、排他的論理和ゲートEXORの出力の論理和をとりベリファイ結果判定信号をベリファイ結果出力端子106₁～106₃に出力する論理和ゲートORを備えている。

【0051】データ入力端子115には、テスト時、自動テスト装置からチェッカーパターン、チェッカーパターン、全“0”パターン等の書き込みデータが入力される。なお、ベリファイ試験の際に、CPU120はデータバス109への出力をインヒビット状態とし、第2のセレクト112はデータを出力しないか（ハイインピーダンス状態）、CPU120側では読み出しデータの入力をマスクするように構成してもよい。

【0052】このマイクロコンピュータ100Aにおいても、ベリファイ結果出力端子106₁～106₃は、メモリブロック101₁～101₃の個数分設けられている。

【0053】図2を参照して、マイクロコンピュータ1

00Aのベリファイ試験の動作について説明する。ベリファイ試験時には、不図示の自動テスト装置からテストモード信号をアクティブ状態として、アドレス入力端子114からベリファイ対象のアドレスを入力する。第1のセクタ110では、アドレス入力端子114から入力されたアドレスをアドレスバス102に選択出力する。第1のセクタ110から出力されたアドレスは、複数のメモリブロック101₁~101₃に同時に供給され、メモリブロック101₁~101₃は、読み出しデータを出力データバス103₁~103₃にそれぞれ出力する。

【0054】各ベリファイ回路105₁~105₃では、出力データバス103₁~103₃上のビットデータと、不図示の自動テスト装置のドライバから期待値データ入力端子107に供給される期待値データ104のビットデータとが一致するか否かを判定し、一致する場合、論理和ゲートORの出力は“0”となり、一方、一又は複数の排他的論理和ゲートEXORで不一致が検出された時に、論理和ゲートORの出力は“1”となり、自動テスト装置にフェイルを通知する。

【0055】図4は、本発明の一実施例におけるメモリブロック101₁~101₃の構成の一例を示す図である。図4を参照すると、各メモリブロック101₁~101₃は、メモリセルアレイ又はセクタ単位に一括消去可能な不揮発性メモリセルアレイ11と、Xデコーダ12と、Yデコーダ13と、書き込み回路15と、センスアンプ14と、ゲート電圧発生回路16と、消去回路17と、を備えている。

【0056】ゲート電圧発生回路16は、入力されるモード信号をデコードし、消去モード、消去ベリファイモード、書き込みモード、書き込みベリファイモード、読み出しモードの各モードに対応したゲート電圧を発生する。Xデコーダ12で選択されたワード線の電圧は、ゲート電圧発生回路16で発生されたゲート電圧に設定される。消去回路17は、消去時、メモリセルアレイ11の共通ソース線を高電圧に切り替える。書き込み回路15は書き込みデータバスの情報に基づき、Xデコーダ12、Yデコーダ13で選択されたメモリセルにデータを書き込む。ゲート電圧発生回路16に inputsするモード信号は、自動テスト装置側から直接入力する構成としてもよいし、あるいは、図2のCPU120からメモリブロック103₁~103₃へ設定する制御信号がモード信号を含み、CPU120を介してゲート電圧発生回路16へ供給するモード信号を設定入力する構成としてもよい。

【0057】次に、図5を参照して、本発明の一実施例における消去ベリファイと、書き込みベリファイについて説明する。

【0058】図5(a)を参照すると、セクタ単位または全メモリセルを消去後、ゲート電圧発生回路16で発

生されたゲート電圧が、Xデコーダで選択されたワード線を介してメモリセルの制御ゲートに印可され、ソース線は接地電位とされ、Yデコーダを介して選択されたビット線が所定の電圧に設定され、選択された一つのメモリセルのデータを読み出す。メモリセルのしきい値に応じて、選択されたメモリセルに接続されるビット線に流れる電流は相違する。メモリセルのしきい値電圧が、制御ゲートに印可される所定の電圧よりも小さくなった場合、メモリセルトランジスタがオンし、選択されたメモリセルに接続されるビット線に電流が流れ、センスアンプで電圧に変換することで、メモリセルに記憶されたデータの“1”、“0”を判定し、メモリセルのしきい値電圧がゲート電圧以下のときを例えば“0”として、読み出しデータが“0”のとき、期待値データと一致し、消去ベリファイが成功する。なお、図5(a)において、前述したように、消去とベリファイの各ステップは、所定の時間単位に小刻みに行われる。

【0059】また、図5(b)を参照すると、書き込みベリファイにおいて、書き込みアドレスを指定して、選択されたメモリセルのドレインを、ゲートを高電圧を印可し、ソースを接地電位として書き込みを行った後、ゲート電圧発生回路16で発生されたゲート電圧が、Xデコーダで選択されたワード線を介してメモリセルの制御ゲートに印可され、ソース線は接地電位とされ、Yデコーダを介して選択されたビット線が所定の電圧に設定され、選択された一つのメモリセルのデータを読み出す。メモリセルのしきい値電圧がゲート電圧を超えるときを“1”として、読み出しデータが“1”のとき、書き込みベリファイが成功する。

【0060】本発明の一実施例によれば、複数のメモリブロックのベリファイ試験の時間を短縮するとともに、テスト用の端子数の増大を抑止低減している。

【0061】次に、本発明の別の実施例について説明する。図3は、本発明の第2の実施例の構成を示す図である。図3を参照すると、本発明の第2の実施例においては、前記した実施例と相違して、期待値データを、マイクロコンピュータ100Bが内蔵する期待値データ記憶部116に予め記憶保持しておき、実行されるベリファイ試験の種別に対応して、期待値データ記憶部116から読み出される期待値データをセクタ117で選択出力し、選択出力された期待値データ104が、各メモリセルブロック101₁~101₃のベリファイ回路105₁~105₃の排他的論理和ゲートEXORに供給される構成としたものである。半導体装置に内蔵される期待値データ記憶部116は、EEPROM、マスクROM等であってよい。

【0062】期待値データ記憶部116には、消去ベリファイ、全“0”書き込み(ALL 0WRITE)ベリファイ、チェッカー(CHECKER)書き込みベリファイ、チェッカーバー(チェッカーパターンの反転)書き込みベリ

ファイに対応した期待値パターン（カラムサイズはメモリブロックの出力データのビット幅分）が予め格納されており、セクタ 117 において、自動テスト装置等から供給されるモード信号に応じて、ベリファイ試験に対応した期待値データの選択が行われ、ベリファイ回路 105₁～105₃に供給される。

【0063】なお、本発明の第 2 の実施例において、ベリファイ回路 105₁～105₃の構成は、前記実施例で説明したものと同一構成されており、その説明は省略する。

【0064】本発明の第 2 の実施例においては、前記実施例において設けられていた、期待値データ入力端子 107 を不要としており、半導体装置におけるテスト専用端子数を削減するとともに、自動テスト装置において、ベリファイ試験用の期待値パターンを作成することを要しなくしており、パターン作成を手間を省き、テストの容易化を図るものである。

【0065】なお、上記各実施例では、データ入出力が多ビットとされる構成のメモリブロックを例に説明したが、データの入力及び出力が 1 ビット構成のメモリブロックを複数個備えた構成にも同様にして適用されることは勿論である。この場合、図 1 において期待値データ入力端子 107 から入力される期待値データは 1 ビット幅のデータとなる。

【0066】また、本発明においては、データ入出力が多ビットとされる構成のメモリブロックを一つ備えた構成に適用してもよいことは勿論である。

【0067】

【発明の効果】以上説明したように、本発明によれば、電気的に消去及び書き込み可能な揮発性のメモリブロックを備えた半導体装置において、メモリブロックからの出力データと期待値データとを比較するベリファイ回路をメモリブロックに対応して備えたことにより、ベリファイ試験を各メモリブロック毎に並列に実行することを可能としており、試験を高速化するとともに、半導体装置で必要とされるテスト専用端子数を削減する、という効果を奏する。

【0068】また、本発明によれば、期待値データを予め半導体装置内に記憶しておくことで、ベリファイ試験の期待値データを入力するための専用端子を不要としており、半導体装置におけるテスト用の端子数のさらなる削減を達成している。

【0069】さらに、本発明によれば、半導体装置内にベリファイ結果を判定する回路を備えたことにより、自動テスト装置で必要とされるコンパレータの数を削減するとともにテストの容易化を可能としている。

【図面の簡単な説明】

【図 1】本発明の一実施例の構成を示す図である。

【図 2】本発明の一実施例の詳細構成を示す図である。

【図 3】本発明の他の実施例の構成を示す図である。

【図 4】本発明の一実施例におけるメモリブロックの構成を示す図である。

【図 5】本発明の一実施例における消去ベリファイと書き込みベリファイを説明するための図である。

【図 6】フラッシュ型 EEPROM の構成を模式的に示す図である。

【図 7】消去手順と書き込み手順を示す流れ図である。

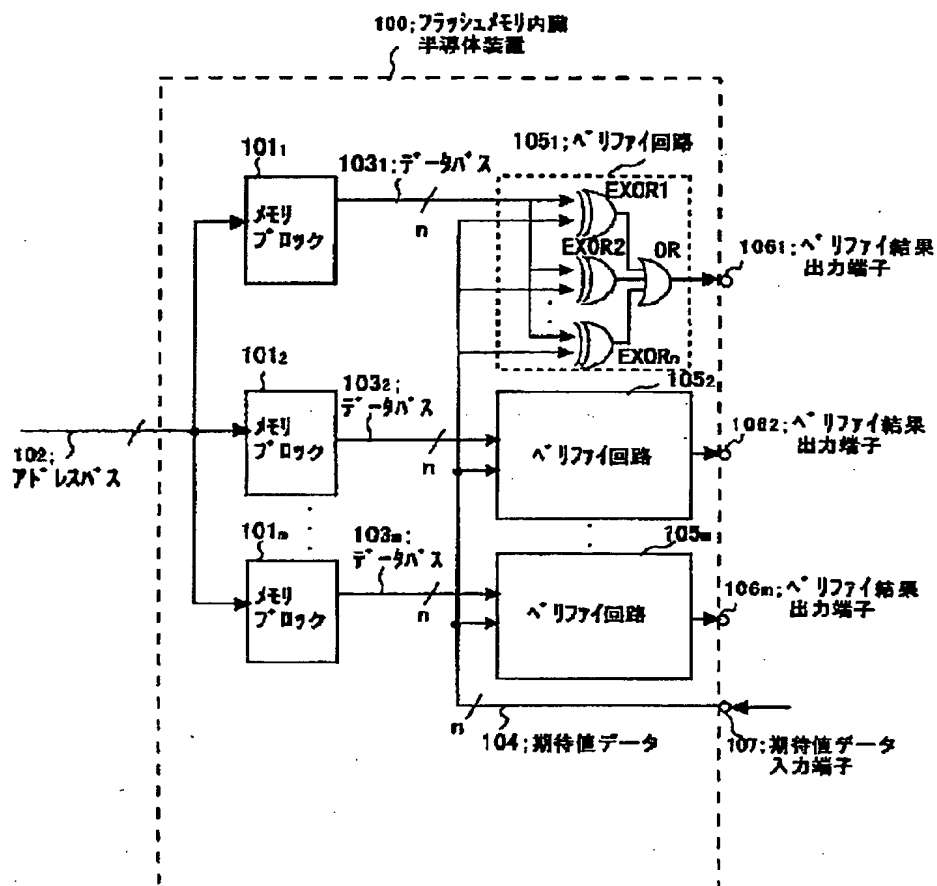
【図 8】従来のフラッシュ型 EEPROM を備えた半導体装置の構成を示す図である。

【図 9】フラッシュ型 EEPROM のテストの一例を示す流れ図である。

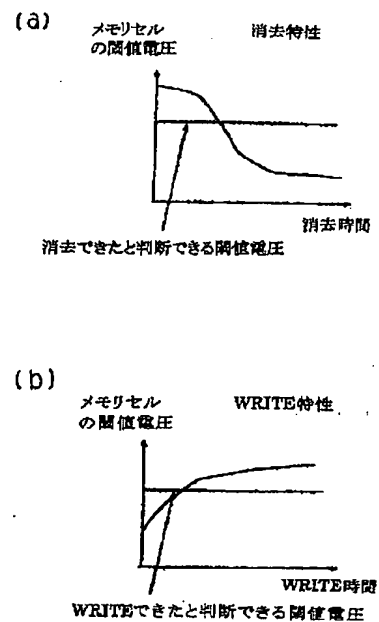
【符号の説明】

- 11 メモリセルアレイ
- 12 Xデコーダ
- 13 Yデコーダ
- 14 センスアンプ
- 15 書き込み回路
- 16 ゲート電圧発生回路
- 17 消去回路
- 100 半導体装置
- 100A、100B マイクロコンピュータ
- 101 メモリブロック
- 102 アドレスバス
- 103 データバス
- 104 期待値データ
- 105 ベリファイ回路
- 106 ベリファイ結果出力端子
- 107 期待値データ入力端子
- 108 アドレスバス
- 109 データバス
- 110、112、113、117 セクタ
- 114 アドレス入力端子
- 115 データ入力端子
- 120 CPU
- 200 マイクロコンピュータ
- 201 メモリブロック
- 202 アドレスバス
- 203 データバス
- 204 セクタ
- 205 データ出力端子
- 510 ソース線（共通ソース線）
- 511 Xデコーダ
- 512 Yデコーダ
- 513 切換回路
- 514 消去電圧発生回路
- 515 読み出し制御回路
- 516 書き込み制御回路
- 517 消去制御回路

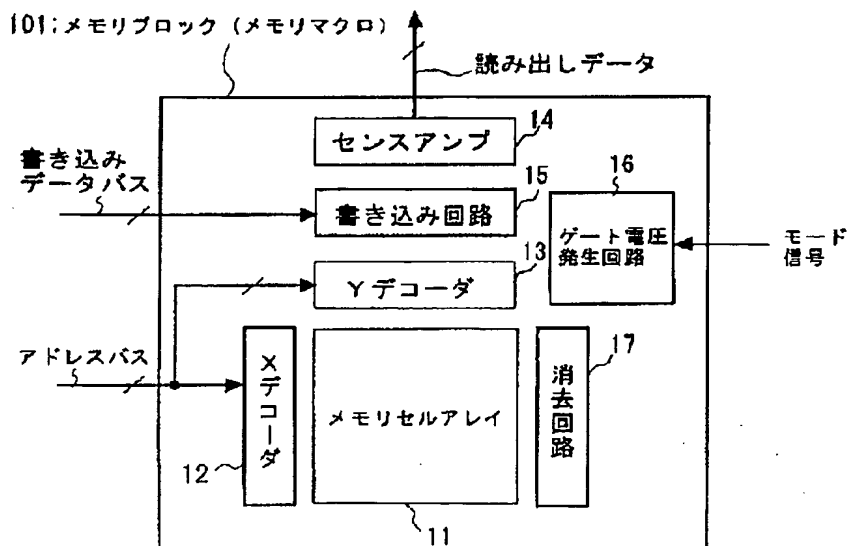
【図1】



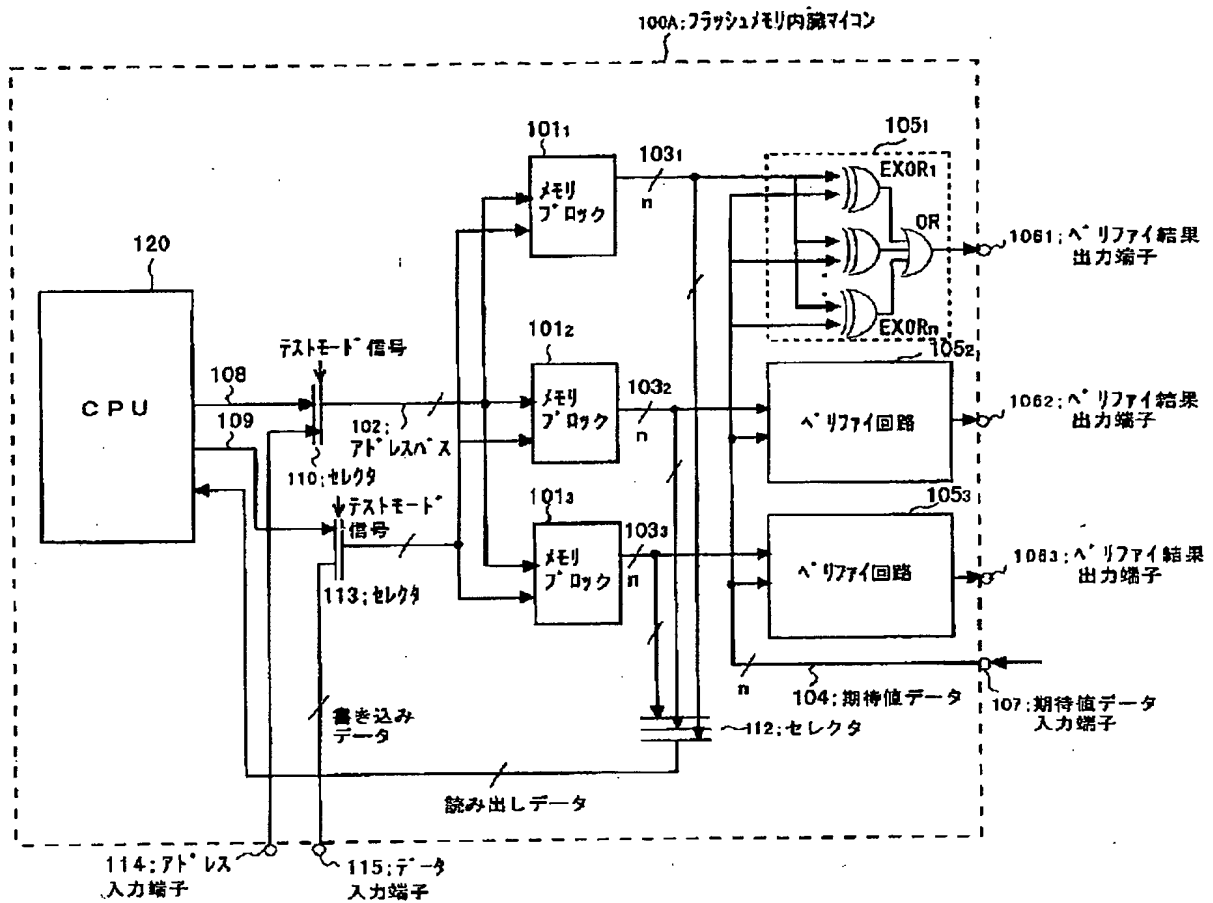
【図5】



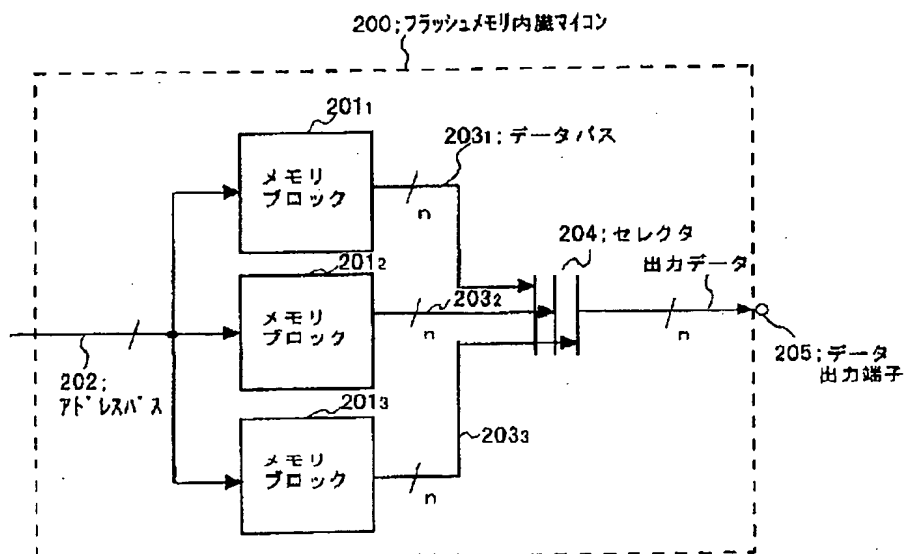
【図4】



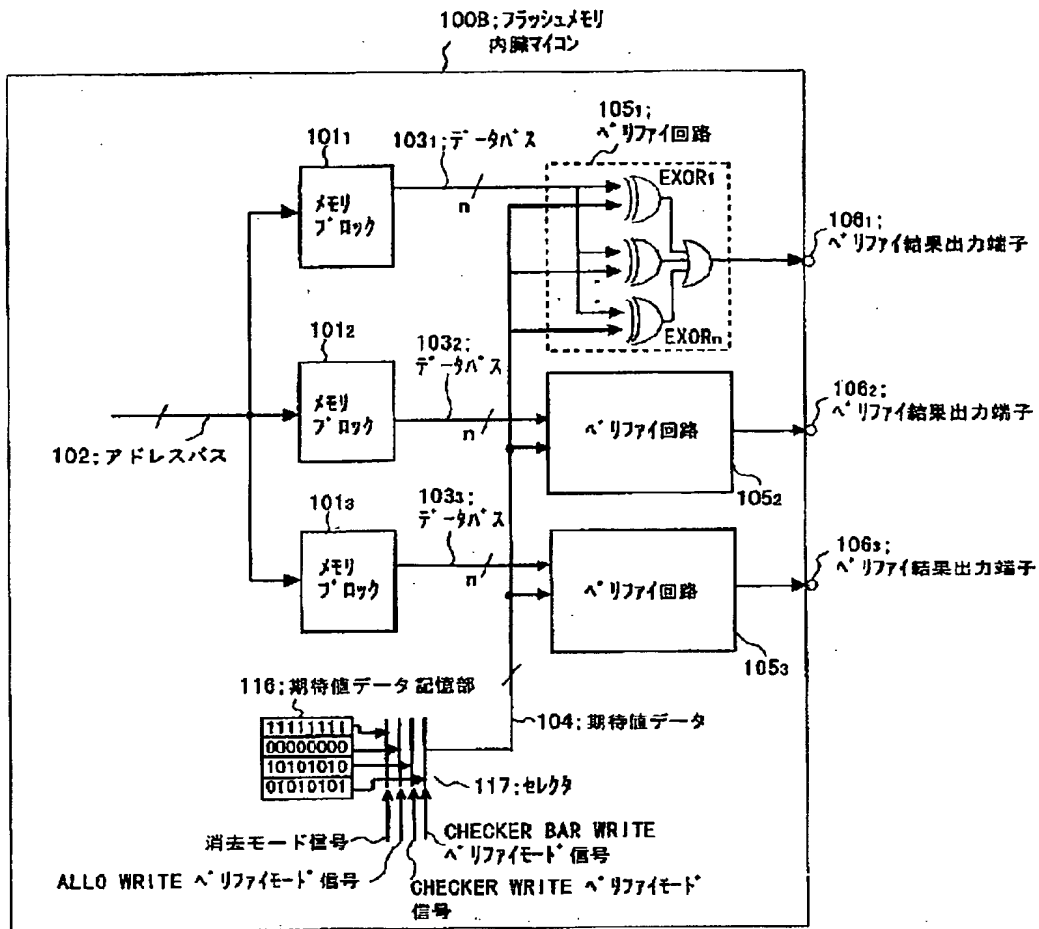
【图 2】



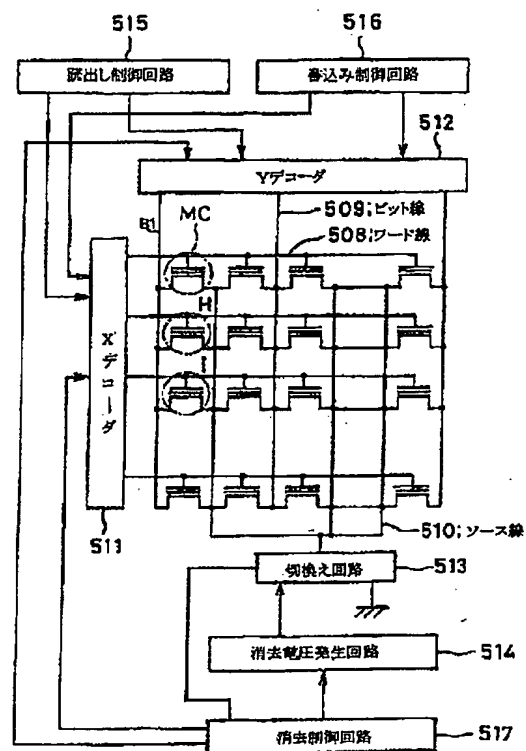
【图 8】



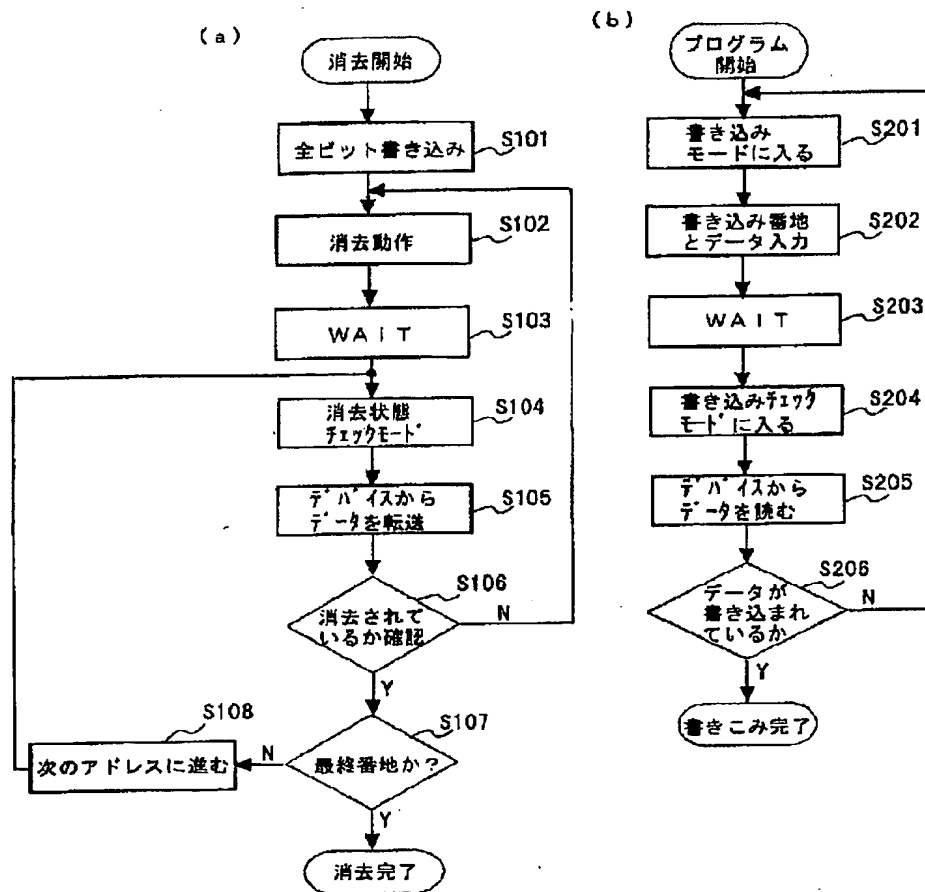
【図3】



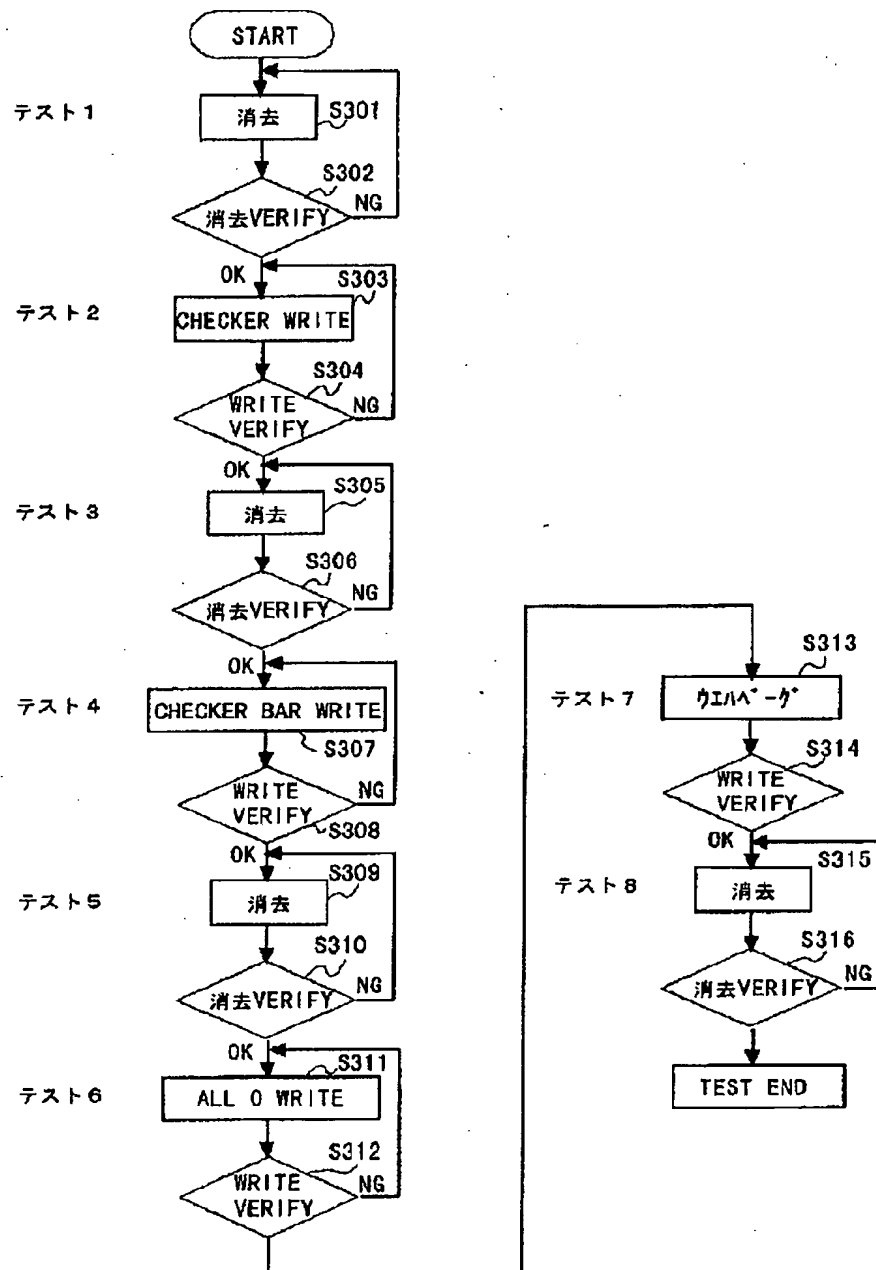
【図6】



【図7】



【図9】



フロントページの続き

Fターム(参考) 2G032 AA08 AC03 AE08 AK15
5B025 AA03 AB01 AC01 AD04 AD05
AD08 AD16
5F038 BE05 DF01 DF04 DF05 DF14
DT02 DT04 DT05 DT08 DT10
DT17 DT19 EZ20
5L106 AA10 AA15 DD03 GG02
9A001 BB03 KK31 LL05